

# 대한민국 특허청

## KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0055965  
Application Number

출원년월일 : 2002년 09월 14일  
Date of Application SEP 14, 2002

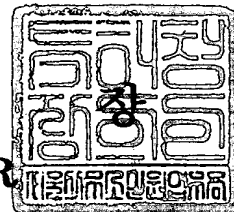
출원인 : 페어차일드코리아반도체 주식회사  
Applicant(s) FAIRCHILD KOREA SEMICONDUCTOR LTD.



2003      년      05      월      29      일

특      허      청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0020
【제출일자】	2002.09.14
【국제특허분류】	H01L
【발명의 명칭】	전력 소자 및 그 제조방법
【발명의 영문명칭】	Power device and method for manufacturing the same
【출원인】	
【명칭】	페어차일드코리아반도체 주식회사
【출원인코드】	1-1999-025205-6
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-049858-3
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-050077-7
【발명자】	
【성명의 국문표기】	이석균
【성명의 영문표기】	LEE, Suk Kyun
【주민등록번호】	690716-1256518
【우편번호】	420-030
【주소】	경기도 부천시 원미구 상동 434-4호 30/2
【국적】	KR
【발명자】	
【성명의 국문표기】	김철중
【성명의 영문표기】	KIM, Cheol Joong
【주민등록번호】	640211-1025810

【우편번호】	420-719
【주소】	경기도 부천시 원미구 중1동 보람마을 1104동 601호
【국적】	KR
【발명자】	
【성명의 국문표기】	권태훈
【성명의 영문표기】	KWON, Tae Hun
【주민등록번호】	681019-1025418
【우편번호】	158-050
【주소】	서울특별시 양천구 목동 신시가지아파트 1310-405
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대 리인 필 (인) 대리인 정상빈 (인)
【수수료】	
【기본출원료】	19 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	0 항 0 원
【합계】	29,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

본 발명은 높은 항복 전압을 유지하면서, 낮은 온 저항을 확보할 수 있는 전력 소자 및 그 제조방법을 개시한다. 개시된 본 발명은, 제 1 도전형의 반도체 기판과, 상기 반도체 기판 깊숙이 배치되는 고농도 제 2 도전형의 매몰층과, 상기 매몰층 상부의 반도체 기판에 형성되는 저농도 제 2 도전형의 웰과, 상기 제 2 도전형 웰 내의 소정 부분에 형성되는 제 1 도전형의 바디 영역과, 상기 제 1 도전형의 바디 영역 내부의 소정 부분 및 제 1 도전형의 바디 영역의 양측 가장자리에 형성되는 저농도 제 2 도전형의 제 1 및 제 2 채널 스탑 영역과, 상기 제 1 및 제 2 채널 스탑 영역 사이에 형성되고, 제 2 채널 스탑 영역상에 형성되는 게이트 절연막을 포함하는 게이트 전극과, 상기 게이트 전극 양측의 제 1 및 제 2 채널 스탑 영역에 형성되는 고농도 제 2 도전형의 소오스 및 드레인 영역, 및 상기 소오스 영역 내부에 형성되는 바디 콘택 영역을 포함하며, 상기 제 1 및 제 2 채널 스탑 영역 사이에는 상기 제 1 도전형의 바디 영역만이 존재하며, 상기 제 1 및 제 2 채널 스탑 영역 사이에 채널이 형성된다.

**【대표도】**

도 2d

**【색인어】**

LDMOS, 온 저항, 항복 전압, 채널 스탑 영역

**【명세서】****【발명의 명칭】**

전력 소자 및 그 제조방법{Power device and method for manufacturing the same}

**【도면의 간단한 설명】**

도 1은 종래의 전력 소자의 단면도이다.

도 2a 내지 도 2d는 본 발명에 따른 전력 소자를 설명하기 위한 각 공정별 단면도이다.

도 3은 본 발명의 전력 소자의 x-x'선을 따라 나타낸 불순물 도핑 프로파일을 나타낸 그래프이다.

**<도면의 주요 부분에 대한 부호의 설명>**

100 : 반도체 기판

120 : n웰

160 : p 바디 영역

170a, 170b : 제 1 및 제 2 채널 스탑 영역

200a, 200b : 소오스, 드레인 영역 210 : 바디 콘택 영역

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<8> 본 발명은 전력 소자 및 그 제조방법에 관한 것으로, 보다 구체적으로는 높은 항복 전압을 유지하면서 낮은 온저항을 확보할 수 있는 전력 소자 및 그 제조방법에 관한 것이다.

- <9> 일반적으로, 전력 소자 중 하나인 고전압 수평형 디모스 트랜지스터(lateral double diffused MOS transistor, 이하 LDMOS)는 제어, 논리 및 전력용 스위치로서 폭 넓게 사용된다. 이러한 LDMOS는 고전압이 인가되더라도 견딜 수 있도록 높은 항복 전압을 가지면서, 높은 스위칭 특성을 유지할 수 있도록 낮은 온저항(on-resistance)을 확보하는 것이 중요하다.
- <10> 도 1은 종래의 LDMOS 전력 소자의 단면도이다.
- <11> 도 1에 도시된 바와 같이, P형 기판(10)의 내부 깊숙이 고농도 n형( $n^+$ ) 매몰층(12)이 형성되어 있으며,  $n^+$  매몰층(12)상부에는 일정 두께를 갖는  $n^-$  에피택셜층(14, 혹은  $n^-$  웰)이 성장되어 있다.
- <12>  $n^-$  에피택셜층(14) 상부의 소정 부분에 게이트 절연막(16a, 16b)을 포함하는 게이트 전극(18)이 형성되어 있다. 게이트 절연막은 박막을 갖는 게이트 절연막(16a)과 후막을 갖는 게이트 절연막(16b)을 포함한다. 아울러, 게이트 전극(18)의 양측벽에는 스페이서(20)가 공지의 방법으로 형성된다.
- <13> 게이트 전극(18)의 일측에는 p 바디 영역(24)이 형성되고, p 바디 영역(24)의 내부에는 소오스 영역(26) 및  $p^+$  콘택 영역(28)이 형성된다. 이때, p 바디 영역(24)은 LDMOS의 펀치스루(punch-through) 현상을 개선하기 위하여 비교적 고농도로 형성된다. 한편, 게이트(18)의 타측 영역에는  $n^-$  채널 스탑 영역(30)이 소정

접합 깊이를 갖도록 형성되고,  $n^-$  채널 스탑 영역(30)에 드레인 영역(32)이 형성된다. 여기서,  $n^-$  채널 스탑 영역(30)은 채널이 연장되는 것을 차단하기 위한 스톱퍼와, 온 저항을 낮추기 위하여,  $n^-$  에피택셜층(14)보다는 상대적으로 고농도를 갖지만, 높은 항복 전압을 고려하여 비교적 저농도로 형성된다.

<14> 또한, 게이트 전극(18), 소오스 영역(26) 및  $p^+$  콘택 영역(28), 및 드레인 영역(32) 각각에는 게이트 배선(gate), 소오스 배선(source) 및 드레인 배선(drain)이 각각 연결된다.

<15> 이렇게 형성된 종래의 LDMOS 소자는 채널 영역(C)의 바디 농도가 경사진 프로파일을 가진다.

<16> 아울러, 채널이 형성되는 P 바디 영역(24)은 펀치 스루를 감안하여 비교적 고농도로 형성되는 한편,  $n^-$  에피택셜층(14)은 항복 전압을 감안하여 저농도로 형성된다. 이로 인하여, 채널 영역의 온 저항을 정확히 제어하기 어려울 뿐만 아니라, 저농도를 갖는  $n^-$  에피택셜층(14)에 의하여 낮은 온 저항을 확보하기 어렵다.

#### 【발명이 이루고자 하는 기술적 과제】

<17> 따라서, 본 발명이 이루고자 하는 기술적 과제는 높은 항복 전압을 유지하면서도 낮은 온 저항 특성을 갖는 전력 소자를 제공하는 것이다.

<18> 또한, 본 발명이 이루고자 하는 다른 기술적 과제는 채널 영역의 균일한 농도 프로파일 확보할 수 있는 전력 소자를 제공하는 것이다.

<19> 본 발명의 또 다른 기술적 과제는 온 저항 조절이 용이한 전력 소자를 제공하는 것이다.

<20> 또한, 본 발명이 이루고자 하는 기술적 과제는 상기한 전력 소자의 제조방법을 제 공하는 것이다.

**【발명의 구성 및 작용】**

<21> 상기한 본 발명의 기술적 과제를 달성하기 위하여, 본 발명은, 제 1 도전형의 반도체 기판과, 상기 반도체 기판 깊숙이 배치되는 고농도 제 2 도전형의 매몰층과, 상기 매 몰층 상부의 반도체 기판에 형성되는 저농도 제 2 도전형의 웰과, 상기 제 2 도전형 웰 내의 소정 부분에 형성되는 제 1 도전형의 바디 영역과, 상기 제 1 도전형의 바디 영역 내부의 소정 부분 및 제 1 도전형의 바디 영역의 양측 가장자리에 형성되는 저농도 제 2 도전형의 제 1 및 제 2 채널 스탑 영역과, 상기 제 1 및 제 2 채널 스탑 영역 사이를 포 함하는 영역에 형성되는, 게이트 절연막을 포함하는 게이트 전극과, 상기 게이트 전극 양측의 제 1 및 제 2 채널 스탑 영역에 형성되는 고농도 제 2 도전형의 소오스 및 드레 인 영역, 및 상기 소오스 영역 내부에 형성되는 바디 콘택 영역을 포함하며, 상기 제 1 및 제 2 채널 스탑 영역 사이에는 상기 제 1 도전형의 바디 영역만이 존재하며, 상기 제 1 및 제 2 채널 스탑 영역 사이에 채널이 형성된다.

<22> 여기서, 제 1 및 제 2 채널 스탑 영역은 채널 예정 거리만큼 이격되어 있으며, 상 기 웰 보다는 상대적으로 고농도를 갖는다. 또한, 제 1 및 제 2 채널 스탑 영역은 원하는 항복 전압을 가질 수 있을 정도로 충분히 낮은 불순물 농도를 갖을 수 있으며, 상기 제 1 도전형의 바디 영역은 편치스루가 방지될 정도로 충분히 높은 불순물 농도를 갖을 수 있다.

<23> 상기 소오스 및 드레인 영역의 접합 깊이는 상기 제 1 및 제 2 채널 스탑 영역의 접합 깊이와 같거나 얕다. 또한, 제 1 도전형은 p형이고, 제 2 도전형은 n형이다.



<24> 또한, 본 발명의 다른 견지에 따른 전력 소자의 제조방법은 다음과 같다. 먼저, 제 1 도전형 반도체 기판 깊숙이 고농도 제 2 도전형의 매몰층을 형성하고, 상기 제 2 도전형의 매몰층 상부의 반도체 기판에 저농도 제 2 도전형의 웰을 형성한다. 그리고나서, 상기 웰 내부에 제 1 도전형의 바디 영역을 형성한다음, 상기 바디 영역의 중심 및 바디 영역의 가장자리에 저농도 제 2 도전형의 제 1 및 제 2 채널 스탑 영역을 형성한다. 그 후에, 상기 제 1 및 제 2 채널 스탑 영역 사이의 공간 상부에 게이트 전극을 형성하고, 상기 게이트 전극 양측의 제 1 및 제 2 채널 스탑 영역에 제 2 도전형의 소오스, 드레인 영역을 형성한다. 이어서, 상기 소오스 영역에 제 1 도전형의 바디 콘택 영역을 형성한다.

<25> 여기서, 상기 바디 영역을 형성하는 단계와, 상기 제 1 및 제 2 채널 스탑 영역을 형성하는 단계는, 상기 웰 영역의 소정 부분에 바디 영역용 p형의 불순물을 주입하는 단계와, 상기 웰 영역의 소정 부분에 제 1 및 제 2 채널 스탑 영역용 n형의 불순물을 주입하는 단계와, 상기 불순물들을 활성화하는 단계로 구성된다.

<26> 여기서, 바디 영역용 p형 불순물을 주입하는 단계는, 보론 이온을 약  $1 \times 10^{13}$  내지  $3 \times 10^{13}/\text{cm}^2$  농도로 주입하는 것이다.

<27> 상기 제 1 및 제 2 채널 스탑 영역용 불순물을 주입하는 단계는, 비소 이온을  $2 \times 10^{13}$  내지  $4 \times 10^{13}/\text{cm}^2$ 의 농도로 주입하는 것이다.

<28> <실시예>

<29> 이하 첨부한 도면에 의거하여 본 발명의 바람직한 실시예를 설명하도록 한다. 그러나, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들로 인해 한정되어지는 것으로 해석되어져서는 안 된다. 본 발명의 실시예들은 당업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되어지는 것이다. 따라서, 도면에서의 요소의 형상 등은 보다 명확한 설명을 강조하기 위해서 과장되어진 것이며, 도면상에서 동일한 부호로 표시된 요소는 동일한 요소를 의미한다. 또한, 어떤 층이 다른 층 또는 반도체 기판의 "상"에 있다고 기재되는 경우에, 어떤 층은 상기 다른 층 또는 반도체 기판에 직접 접촉하여 존재할 수 있고, 또는, 그 사이에 제 3의 층이 개재되어질 수 있다.

<30> 첨부한 도면 도 2a 내지 도 2d는 본 발명에 따른 전력 소자를 설명하기 위한 각 공정별 단면도이다. 도 3은 본 발명의 전력 소자의 x-x'선을 따라 나타낸 불순물 도핑 프로파일을 나타낸 그래프이다.

<31> 먼저, 도 2a를 참조하여, 반도체 기판(100), 예를들어 p형 실리콘 기판에 내부에  $n^+$  매몰층(110)을 공지의 방법으로 형성한다.  $n^+$  매몰층(110)은 반도체 기판(100) 내부 깊숙이 이온 주입 및 활성화(또는 드라이브 인) 공정을 실시하여 형성될 수 있다.  $n^+$  매몰층(110) 상부의 반도체 기판(100) 영역에는 n형의 불순물을 주입한 후 활성화시켜서,  $n^-$  웰(120)을 형성한다. 이때,  $n^-$  웰(120) 대신  $n^-$  에피택셜층을 성장시킬 수 있다. 그후, 반도체 기판(100) 결과물 상부에 버퍼 절연막(130)을 형성한다음, 반도체 기판(100)의 소정 영역 즉, p 바디 예정 영역이 노출되도록 포토레지스트 패턴(140)을 형성한다. 여기서, 버퍼 절연막(130)은 이온 주입 공정으로부터 반도체 기판(100) 표면을 보호하기 위한 막이다. 이어서, 노출된 p 바디 예정 영역에 p형 불순물(150) 예를 들어, 보론(B)

이온을 주입한다. 이때, 보론 이온은 약  $1 \times 10^{13}$  내지  $3 \times 10^{13}/\text{cm}^2$  농도 및 90 내지 110 KeV의 에너지로 주입된다.

<32> 그리고나서, 도 2b에 도시된 바와 같이, 포토레지스트 패턴(140)을 공지의 방식으로 제거한다음, 채널 스탑 예정 영역이 노출되도록 포토레지스트 패턴(도시되지 않음)을 재차 형성한다. 포토레지스트 패턴(도시되지 않음)에 의하여 노출된 채널 스탑 영역에  $n^-$ 의 불순물, 예를들어, 비소(As) 이온을 주입한다. 비소 이온은 예를들어,  $2 \times 10^{13}$  내지  $4 \times 10^{13}/\text{cm}^2$ 의 농도 및 90 내지 110 KeV의 에너지로 주입될 수 있다. 그후, 이온 주입된 p형 및  $n^-$ 형 불순물을 활성화(혹은 드라이브 인)시켜, p 바디 영역(160) 및 채널 스탑 영역(170a,170b)을 형성한다. 이때, 비소 이온과 보론 이온이 거의 동일한 에너지로 이온 주입되더라도, 보론의 확산 특성이 더 우수하므로, 채널 스탑 영역(170a,170b)의 깊이가 p 바디 영역(160)의 깊이보다는 얇게 형성된다. 이때, 채널 스탑 영역(170a,170b)은 p 바디 영역(160)의 내부에 형성되는 제 1 채널 스탑 영역(170a)과 p 바디 영역(160)의 측부에 형성되는 제 2 채널 스탑 영역(170b)으로 구성된다. 제 1 채널 스탑 영역(170a)은 LDMOS의 소오스가 형성될 영역이고, 제 2 채널 스탑 영역(170b)은 LDMOS의 드림프트 영역이며 그의 일측은 p 바디 영역(160)의 측부쪽으로 일부 침범될 수 있다. 또한, 제 1 및 제 2 채널 스탑 영역(170a,170b)의 불순물 농도는  $n^-$ 웰(120)의 불순물 농도보다는 높지만, 온저항에 구애없이 높은 항복 전압을 확보할 수 있을 정도로 충분히 낮은 불순물 농도를 갖도록 형성된다.

<33> 이때, p 바디 영역(160) 및 제 1, 제 2 채널 스탑 영역(170a,170b)을 형성하기전, 또는 후에, 반도체 기판(100) 표면의 소정 부분에 공지의 방식으로 국부 산화막(155)을 형성할 수 있다. 국부 산화막(155)은 전력 소자의 후막의 게이트 절연막으로 작용한다.

- <34>        그 다음, 도 2c에 도시된 바와 같이, 버퍼 절연막(130)을 공지의 방법으로 제거한 다음, 반도체 기판(100) 표면에 게이트 절연막(180)을 형성한다. 이때, 버퍼 절연막(130)을 제거하지 않고, 이를 게이트 절연막(180)으로 형성할 수 있다. 그후, 제 1 채널 스탑 영역(170a) 일부, P 바디 영역(160)의 일부, 제 2 채널 스탑 영역(170b)의 일부 및 국부 산화막(175)을 포함하도록 게이트 전극(190)을 각각 형성한다. 이때, 게이트 전극(190)으로는 예를 들어, 폴리실리콘막을 사용할 수 있다. 게이트 전극(190)의 양측벽에 스페이서(195)가 공지의 방식으로 형성된다.
- <35>        그후, 도 2d에 도시된 바와 같이, 게이트 전극(190) 양측의 제 1 및 제 2 채널 스탑 영역(170a, 170b)에  $n^+$  불순물을 이온 주입하여, 소오스 영역(200a) 및 드레인 영역(200b)을 형성한다. 이때, 소오스 및 드레인 영역(200a, 200b)은  $n^-$  채널 예정 영역(170a, 170b)과 같거나 얇은 깊이를 갖을 수 있다. 그후, 소오스 영역(200a)의 소정 부분에  $p^+$  불순물을 주입하여, 바디 콘택 영역(210)을 형성한다. 이때, 바디 콘택 영역(210)은 p 바디 영역(160)에 전기적인 신호를 인가하기 위함이다.
- <36>        다음, 반도체 기판(100) 결과물 상부에 층간 절연막(220)을 증착한다음, 소오스, 드레인 영역(200a, 200b)이 노출되도록 층간 절연막(220)을 식각하여, 콘택홀을 형성한다. 이때, 도면에는 드레인 영역(200b)을 노출시키는 콘택홀은 도시되지 않았다. 노출된 소오스, 드레인 영역(200a, 200b)과 콘택되도록 금속 배선(230)을 형성한다.
- <37>        이와같은 본 발명의 전력 소자는 채널 영역(C)이 모두 p 바디 영역(160)내에 형성된다. 이에따라, 채널 영역(c)은 균일한 도핑 프로파일을 갖게된다. 즉, 도 3에 도시된 바와 같이, 종래의 전력 소자의 채널 영역은 p 바디 영역 및  $n^-$  에피택셜층으로 확산되어 형성되므로 경사진 형태의 도핑 프로파일을 갖았다. 한편, 본 발명에 따른 전력 소자

의 채널 영역은 p 바디 영역(160)에만 형성되므로 일정한 도핑 프로파일을 갖음을 알 수 있다. 또한, 본 발명과 같이 p 바디 영역(160) 양측에 제 1 및 제 2 채널 스탑 영역(170a, 170b)이 형성되어 확산되는 형태의 트랜지스터를 "BDMOS(both sides diffused MOS)"라 칭하도록 한다.

<38> 아울러, 채널 영역(C)이 일정한 농도를 가지므로, 채널 길이를 줄일 수 있고, 편치 스루 현상 방지는 물론, 낮은 온저항을 확보할 수 있다. 또한, 제 2 채널 스탑 영역(170b)과 n웰 영역(120)이 채널과는 별도로 형성됨에 따라, 온저항에 구애받지 않고, 충분히 높은 항복 전압을 갖도록 채널 스탑 영역 및 n웰 영역의 농도를 조절할 수 있다. 또한, n<sup>-</sup> 채널 스탑 영역(170b)이 p 바디 영역(160)을 침범하도록 기판 표면 부근에 형성되어 있으므로, 유사 RESUF(reduced surface field) 즉, 기판 표면의 전계를 감소시킬 수 있다. 아울러, 셀프 얼라인 방식에 의하여 소오스, 드레인 영역을 형성할 수 있으므로, 미스 얼라인(misalign)을 방지할 수 있다.

#### 【발명의 효과】

<39> 이상에서 자세히 설명한 바와 같이, 본 발명에 의하면, 전력 소자의 채널 영역의 농도를 일정하게 하므로써, 채널 길이를 감축시킬 수 있어, 일정한 항복 전압을 유지하면서, 낮은 온저항을 확보할 수 있다.

<40> 이상 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않고, 본 발명의 기술적 사상의 범위 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러가지 변형이 가능하다.

**【특허청구범위】****【청구항 1】**

제 1 도전형의 반도체 기판;

상기 반도체 기판 깊숙이 배치되는 고농도 제 2 도전형의 매몰층;

상기 매몰층 상부의 반도체 기판에 형성되는 저농도 제 2 도전형의 웰;

상기 제 2 도전형 웰 내의 소정 부분에 형성되는 제 1 도전형의 바디 영역;

상기 제 1 도전형의 바디 영역 내부의 소정 부분 및 제 1 도전형의 바디 영역의 양측 가장자리에 형성되는 저농도 제 2 도전형의 제 1 및 제 2 채널 스탑 영역;

상기 제 1 및 제 2 채널 스탑 영역에 사이를 포함하는 영역에 형성되는, 게이트 절연막을 포함하는 게이트 전극;

상기 게이트 전극 양측의 제 1 및 제 2 채널 스탑 영역에 형성되는 고농도 제 2 도전형의 소오스 및 드레인 영역; 및

상기 소오스 영역 내부에 형성되는 바디 콘택 영역을 포함하며,

상기 제 1 및 제 2 채널 스탑 영역 사이에는 상기 제 1 도전형의 바디 영역만이 존재하며, 상기 제 1 및 제 2 채널 스탑 영역 사이에 채널이 형성되어, 채널 영역이 일정한 농도를 확보하는 것을 특징으로 하는 전력 소자.

**【청구항 2】**

제 1 항에 있어서, 상기 제 1 및 제 2 채널 스탑 영역은 채널 예정 거리만큼 이격되어 있는 것을 특징으로 하는 전력 소자.

**【청구항 3】**

제 1 항에 있어서, 상기 제 1 및 제 2 채널 스톱 영역은 상기 웰 보다는 상대적으로 고농도인 것을 특징으로 하는 전력 소자.

**【청구항 4】**

제 3 항에 있어서, 상기 제 1 및 제 2 채널 스톱 영역은 원하는 항복 전압을 가질 수 있을 정도로 충분히 낮은 불순물 농도를 갖는 것을 특징으로 하는 전력 소자.

**【청구항 5】**

제 1 항에 있어서, 상기 제 1 도전형의 바디 영역은 펀치스루가 방지될 정도로 충분히 높은 불순물 농도를 갖는 것을 특징으로 하는 전력 소자.

**【청구항 6】**

제 1 항에 있어서, 상기 소오스 및 드레인 영역의 접합 깊이는 상기 제 1 및 제 2 채널 스톱 영역의 접합 깊이와 같거나 얕은 것을 특징으로 하는 전력 소자.

**【청구항 7】**

제 6 항에 있어서, 상기 제 1 및 제 2 채널 영역은 원하는 항복 전압을 가질 정도 충분히 낮은 불순물 농도를 갖는 것을 특징으로 하는 전력 소자.

**【청구항 8】**

제 1 항에 있어서, 제 1 도전형은 p형이고, 제 2 도전형은 n형인 것을 특징으로 하는 전력 소자.

**【청구항 9】**

제 1 항에 있어서, 상기 게이트 절연막은 단절없이 연결된 박막의 제 1 게이트 절연막과 후막의 제 2 게이트 절연막을 포함하는 것을 특징으로 하는 전력 소자.

**【청구항 10】**

제 9 항에 있어서, 상기 게이트 전극은 상기 제 1 채널 스탑 영역의 일부, 바디 영역의 일부, 제 2 채널 스탑 영역의 일부 및 제 2 게이트 절연막의 일부를 포함하도록 형성되는 것을 특징으로 하는 전력 소자.

**【청구항 11】**

제 1 도전형 반도체 기판 깊숙이에 고농도 제 2 도전형의 매몰층을 형성하는 단계;

상기 제 2 도전형의 매몰층 상부의 반도체 기판에 저농도 제 2 도전형의 웰을 형성하는 단계;

상기 웰 내부에 제 1 도전형의 바디 영역을 형성하는 단계;

상기 바디 영역의 중심 및 바디 영역의 가장자리에 저농도 제 2 도전형의 제 1 및 제 2 채널 스탑 영역을 형성하는 단계;

상기 제 1 및 제 2 채널 스탑 영역 사이의 공간 상부에 게이트 전극을 형성하는 단계;

상기 게이트 전극 양측의 제 1 및 제 2 채널 스탑 영역에 제 2 도전형의 소오스, 드레인 영역을 형성하는 단계; 및

상기 소오스 영역에 제 1 도전형의 바디 콘택 영역을 형성하는 단계를 포함하는 것을 특징으로 하는 전력 소자의 제조방법.



**【청구항 12】**

제 11 항에 있어서, 상기 제 1 도전형은 p형이고, 제 2 도전형은 n형인 것을 특징으로 하는 전력 소자의 제조방법.

**【청구항 13】**

제 12 항에 있어서, 상기 바디 영역을 형성하는 단계와, 상기 제 1 및 제 2채널 스탑 영역을 형성하는 단계는,

상기 웰 영역의 소정 부분에 바디 영역용 p형의 불순물을 주입하는 단계;

상기 웰 영역의 소정 부분에 제 1 및 제 2 채널 스탑 영역용 n형의 불순물을 주입하는 단계; 및

상기 불순물들을 활성화하는 단계를 포함하는 것을 특징으로 하는 전력 소자의 제조방법.

**【청구항 14】**

제 13 항에 있어서, 상기 바디 영역용 p형 불순물을 주입하는 단계는,

보론 이온을 약  $1 \times 10^{13}$  내지  $2 \times 10^{13}/\text{cm}^2$  농도로 주입하는 것을 특징으로 하는 전력 소자의 제조방법.

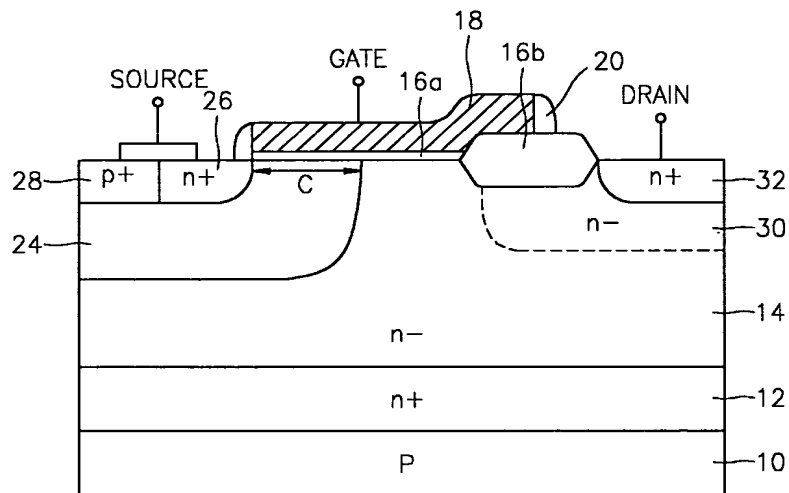
**【청구항 15】**

제 13 항에 있어서, 상기 제 1 및 제 2 채널 스탑 영역용 불순물을 주입하는 단계는,

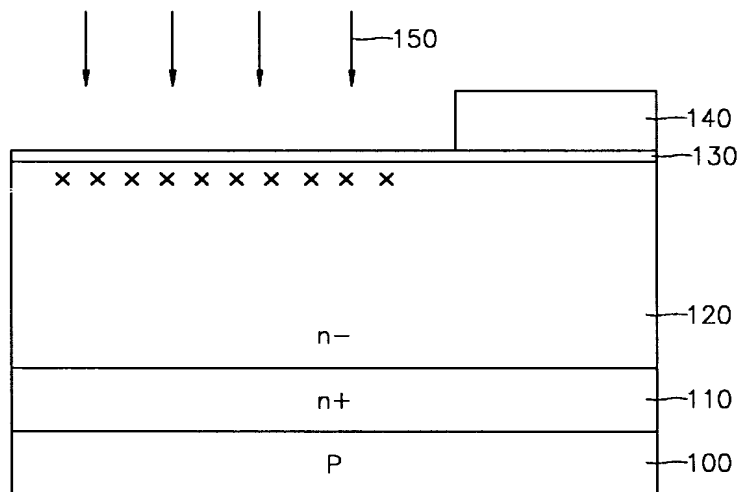
비소 이온을  $2 \times 10^{13}$  내지  $4 \times 10^{13}/\text{cm}^2$ 의 농도로 주입하는 것을 특징으로 하는 전력 소자의 제조방법.

## 【도면】

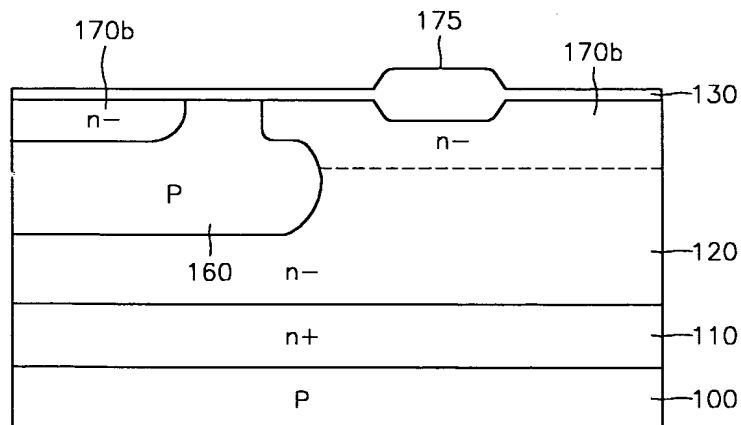
【도 1】



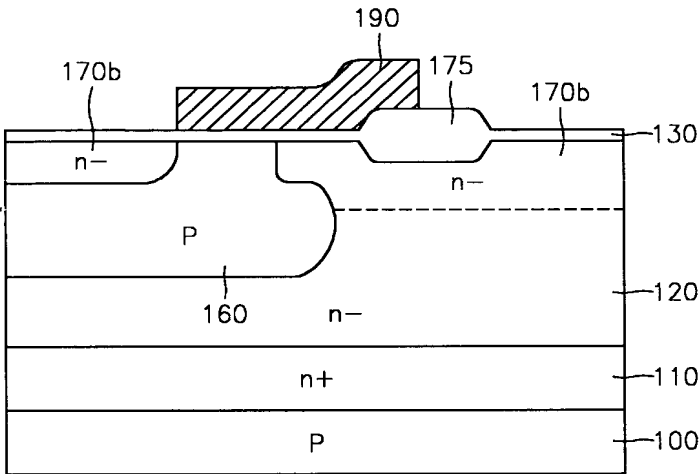
【도 2a】



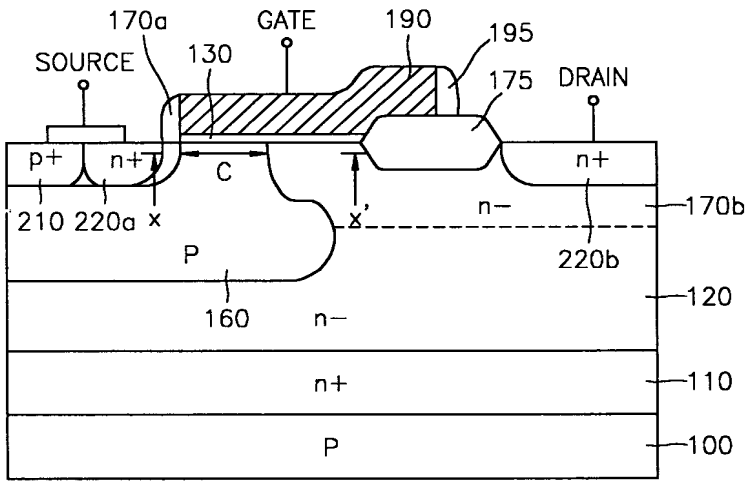
【도 2b】



【도 2c】



【도 2d】



【도 3】

